

Pengaruh *LPF* Orde Satu dan Dua pada Karakteristik *PLL* Menggunakan IC CD4046

Budihardja Murtianta¹, JP Tirtayasa², FD Setiaji³

^{1,2,3}Program Studi Teknik Elektro,
Fakultas Teknik Elektronika dan Komputer,
Universitas Kristen Satya Wacana, Salatiga
¹budihardja.murtianta@staff.uksw.edu, ²612011010@student.uksw.edu, ³fdsetiaji@gmail.com

Ringkasan

Pada tulisan ini disampaikan hasil pengukuran sistem *Phase Locked Loop (PLL)* menggunakan IC CD4046, dengan menggunakan dua macam tapis yaitu tapis lolos bawah (*LPF*) orde satu dan orde dua. Pengukuran yang dilakukan meliputi nilai frekuensi maksimum dan minimum *VCO (Voltage Controlled Oscillator)*, *lock range*, *capture range* dan pengaruh frekuensi penggal *LPF* terhadap karakteristik *PLL*. Hasil pengujian menunjukkan frekuensi penggal tapis yang makin besar cenderung memperbesar nilai *capture range*, sedangkan *lock range* tetap.

Kata kunci: *PLL*, CD4046, *locked range*, *capture range*, orde, tapis

1. Pendahuluan

PLL memiliki peran penting dalam perkembangan sistem telekomunikasi. Aplikasi *PLL* meliputi Demodulasi FM, Demodulasi FSK, *Tone Decoding*, *Frequency Multiplication*, dan lain sebagainya. [1]

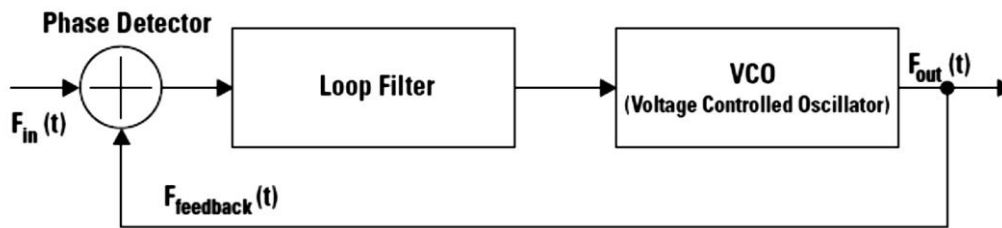
Sistem *PLL* tersebut sudah direalisasikan dalam berbagai bentuk rangkaian terpadu (IC). Yang akan direalisasikan pada makalah ini adalah dengan menggunakan IC CD4046 yang memiliki konsumsi daya rendah (100 μ W) sehingga cocok untuk aplikasi portabel.

Salah satu bagian *PLL* yang penting adalah *LPF*, yang digunakan untuk menekan derau dan komponen frekuensi tinggi dari *Phase Detector (PD)* dan menghasilkan sinyal DC untuk masukan *VCO*. [2] Orde *LPF* yang digunakan akan mempengaruhi *bandwidth* *PLL*, dan *LPF* dengan orde lebih tinggi memiliki kemampuan menolak derau yang lebih baik [3].

2. Dasar Teori

2.1. Prinsip Dasar *PLL*

PLL adalah suatu sistem yang memungkinkan suatu sinyal dengan frekuensi acuan tertentu mengendalikan atau menyamakan nilai dari frekuensi sebuah osilator (dalam hal ini *VCO*) dalam sebuah lingkaran umpan balik tertutup. Rangkaian *PLL* yang paling sederhana terdiri dari tiga modul, yaitu *VCO*, *PD*, dan *LPF* seperti ditunjukkan Gambar 1 berikut ini.



Gambar1. Blok Diagram Dasar PLL[4]

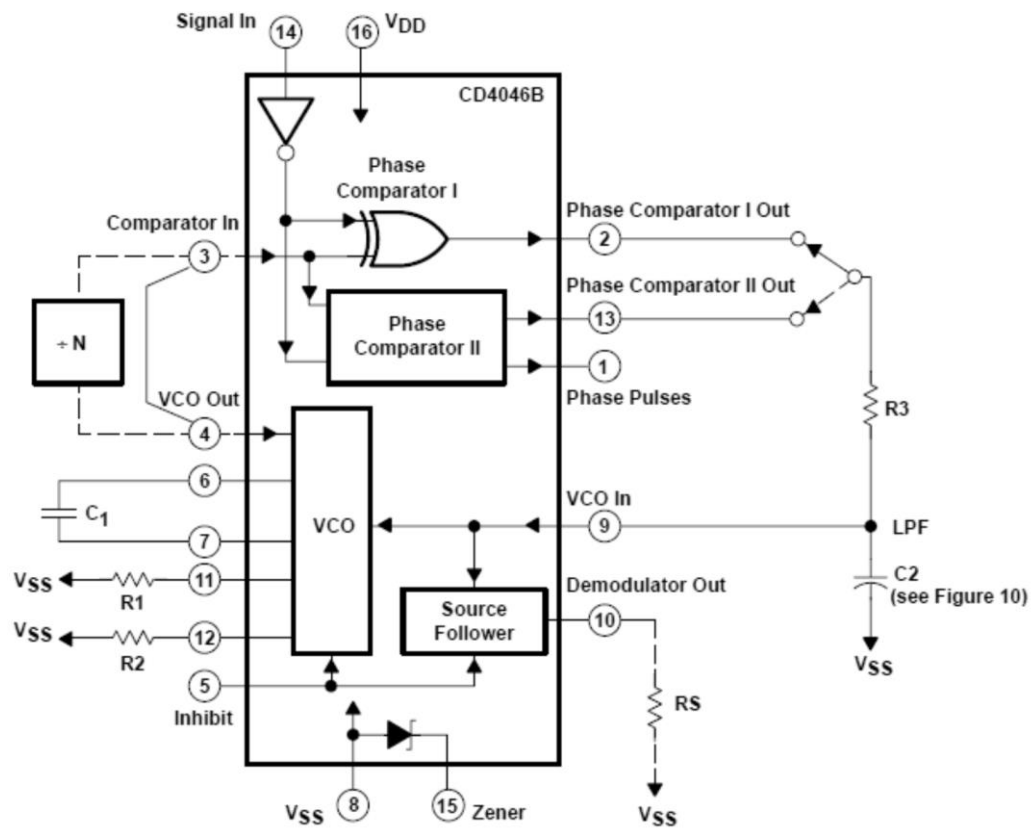
Frekuensi f_i yang dihasilkan misalnya oleh suatu osilator referensi diumpankan ke rangkaian *PD* untuk dibandingkan dengan frekuensi f_o keluaran *VCO*. Misalkan kondisi awal $f_i \neq f_o$. Karena ada perbedaan frekuensi antara f_i dan f_o , maka rangkaian *PD* akan menghasilkan tegangan keluaran berubah waktu yang aperiodik yang kemudian dilewatkan *LPF* agar menjadi tegangan *DC* sebagaimana masukan *VCO*. Tegangan *DC* ini menyebabkan rangkaian *VCO* menghasilkan perubahan nilai f_o sampai dicapai $f_i = f_o$ dan *PLL* disebut dalam kondisi terkunci (*locked*).

Pada IC CD4046, keluaran *VCO* berbentuk tegangan kotak *DC* dengan daur aktif 50%. Ketika nilai $f_i = f_o$, maka selisih fase antara *PD* dan *VCO* bernilai konstan. Jika setelah terkunci nilai frekuensi f_i berubah, maka tetap berlaku $f_i = f_o$ sampai nilai f_i berada di luar jangkauan *lock range*. Parameter dalam sistem *PLL* antara lain:

- *Free running-frequency* (f_f) atau adalah frekuensi keluaran dari *VCO* pada saat tidak ada sinyal masukan pada *PLL*. Nilainya setengah dari nilai frekuensi maksimum yang dapat dikeluarkan oleh *PLL*.
- *Lock Range* (f_L) atau disebut juga daerah kunci adalah rentang daerah frekuensi dimana *PLL* tersebut masih tetap dapat mengikuti nilai frekuensi masukan, setelah kondisi terkunci dicapai.
- *Capture Range* (f_c) atau disebut juga daerah tangkapan adalah suatu daerah rentang frekuensi dimana sistem *PLL* mampu mengunci frekuensi apabila pada awalnya sistem tersebut tidak terkunci.
- *Lock-up Time* (L_c) atau disebut juga waktu penguncian adalah selang waktu transien yang dibutuhkan sistem, dari saat sistem tersebut dimulai sampai ke kondisi terkunci.

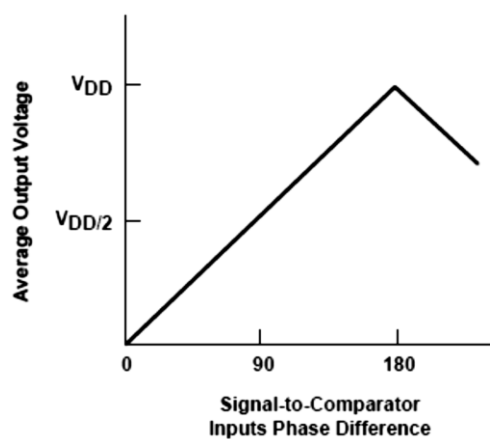
2.2. IC PLL CD4046

IC PLL CD4046 berisi bagian-bagian utama dari *PLL* yaitu *VCO* dan *PD*, sehingga untuk melengkapinya tinggal dipasang *LPF* dan pembagi frekuensi ($:N$) jika akan diterapkan dalam aplikasi *frequency synthesizer* seperti ditunjukkan Gambar 2.



Gambar 2. Blok Diagram Dasar IC CD4046 [1]

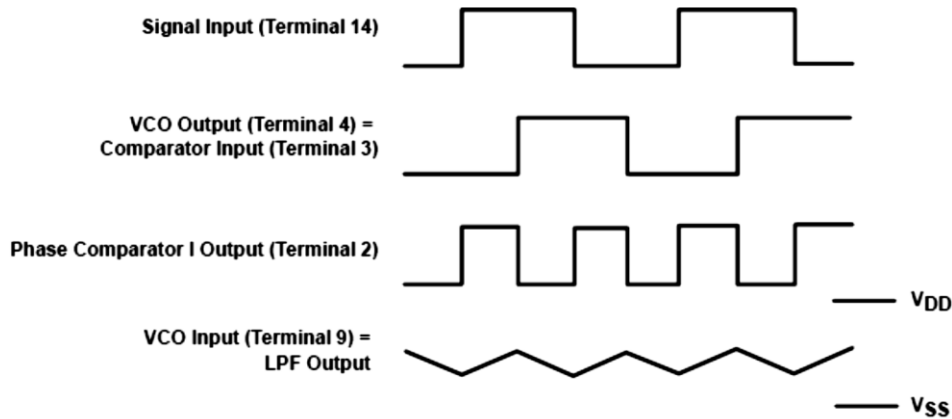
Dalam IC tersebut terdapat dua macam PD yaitu Tipe I dan Tipe II. PD tipe I yang digunakan dalam makalah ini adalah berupa gerbang EXOR yang memiliki karakteristik keluaran sesuai Gambar 3.



Gambar 3. Phase Detector tipe I pada IC CD4046 [1]

Pada tidak ada sinyal masukan dan pin 3 dihubungkan langsung ke pin 4, keluaran *PD* tipe I akan sama dengan keluaran *VCO* yang berupa tegangan kotak *DC* dengan amplitude V_{DD} dan daur aktif 50%, oleh sebab itu tegangan reratanya sebesar $V_{DD}/2$. Jika ada sinyal masukan dengan daur aktif 50%, maka beda fase antara keluaran *VCO* dan sinyal masukan tersebut berada dalam rentang 0° sampai 180° .

Bentuk gelombang tipikal pada saat *PLL* terkunci ditunjukkan Gambar 4.

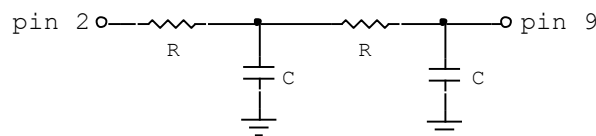


Gambar 4. Bentuk gelombang tipikal pada saat *PLL* CD4046 terkunci[1]

Keluaran *LPF* akan berupa tegangan *DC* tak murni yang memiliki komponen frekuensi tinggi yang tidak bisa dihilangkan sepenuhnya oleh tapis tersebut. Besarnya riak (ripple) akan tergantung pada orde *LPF* yang dipakai, yang dalam makalah ini digunakan *LPF* orde satu dan dua.

3. Realisasi *PLL* Berbasis CD4046

Rangkaian *PLL* dengan *LPF* orde satu berbasis CD 4046 mengacu ke Gambar 2 dengan nilai-nilai frekuensi penggal akan dijelaskan kemudian. Sedangkan untuk *PLL* dengan tapis orde dua, maka tapis diganti dengan rangkaian sebagai berikut ini.



Gambar 5. *LPF* orde dua yang digunakan pada *PLL* CD4046

Frekuensi penggal (f_p) *LPF* orde satu pada Gambar 2:

$$f_p = \frac{1}{2\pi R_3 C_2} \quad (1)$$

Sedangkan frekuensi penggal (f_p) *LPF* orde dua pada Gambar 5:

$$f_p = \frac{0,0595}{RC} \quad (2)$$

Rentang frekuensi keluaran VCO IC CD4046 saat keluaran masih linear terhadap tegangan masukannya, dihitung menggunakan rumus sebagai berikut ini. [5]

$$f_{\text{Min}} = \frac{K_1}{R_2(C_1 + 32\text{pF})} \quad (3)$$

$$f_{\text{Max}} = f_{\text{Min}} + \frac{K_2}{R_1(C_1 + 32\text{pF})} \quad (4)$$

Konstanta K_1 dan K_2 didapatkans ecara eksperimental. Nilai kepekaan frekuensi (K_0) dari VCO tersebut adalah:

$$K_0 = \frac{f_{\text{Max}} - f_{\text{Min}}}{V_{\text{Max}} - V_{\text{Min}}} \quad (5)$$

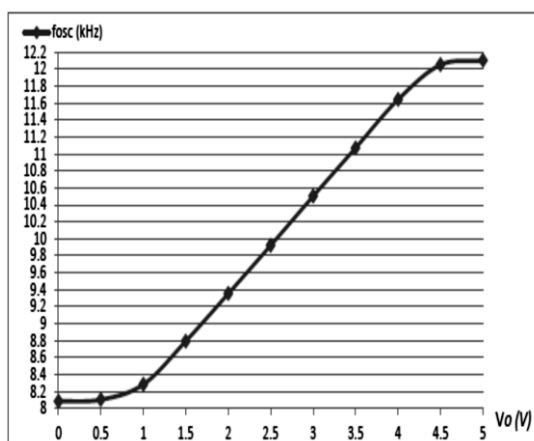
Dimana $V_{\text{Max}} - V_{\text{Min}}$ adalah rentang masukan frekuensi VCO yang terkait.

Untuk pengoperasian yang tepat, nilai-nilai komponen harus berada pada batas-batas sebagai berikut : $10\text{ k}\Omega \leq R_1 \leq 1\text{ M}\Omega$, $10\text{ k}\Omega \leq R_2 \leq 1\text{ M}\Omega$ dan $100\text{pF} \leq C_1 \leq 100\text{nF}$.

4. Pengujian Sistem

4.1. Pengujian VCO

Pengujian pada VCO dilakukan dengan meberikan tegangan DC variabel pada pin 9 dan mengukur frekuensi keluaran VCO pada pin 4. Dipilih frekuensi tengah 10kHz dan jangkauan frekuensi 8kHz ~ 12kHz serta $V_{\text{DD}}=5\text{V}$. Berdasarkan Persamaan (3) dan (4) dan pengukuran, didapatkan nilai $R_1=322\text{k}\Omega$, $R_2=190\text{k}\Omega$, dan $C_1=1\text{nF}$. Grafik frekuensi keluaran VCO terhadap tegangan masukannya ditunjukkan Gambar 6.



Gambar 6. Grafik frekuensi keluaran VCO terhadap tegangan masukannya

Dalam Gambar 6 tersebut terlihat bahwa nilai frekuensi keluaran VCO bersifat cukup linear terhadap tegangan masukannya dalam rentang 1,1V sampai 4,3V yang menghasilkan nilai kepekaan VCO , $K_0=1,13\text{ (kHz/V)}$.

4.2. Pengaruh LPF terhadap Karakteristik PLL CD 4046

Pada pengukuran pertama, dilakukan pada PLL CD4046 dengan LPF orde satu (Gambar 2), dimana tegangan masukan adalah tegangan kotak DC dengan amplitude 5V dan $V_{DD}=5V$. Nilai R_3 dan C_2 dihitung dengan Persamaan (1) dan divariasikan agar menghasilkan frekuensi penggal $100\text{Hz} \leq f_p \leq 10\text{kHz}$. Sedangkan nilai R_1 , R_2 dan C_1 adalah sama dengan bagian 4.1. Hasil pengukuran ditunjukkan Tabel 1.

Tabel 1. Hasil pengukuran karakteristik PLL dengan LPF orde 1

f_p (Hz)	V_{ripple} (V)	f_c (kHz)	f_L (kHz)
106	1,32 ~ 1,41	8,5 ~ 9,5	8,1 ~ 11,7
212	1,3 ~ 1,43	8,3 ~ 9,8	8,1 ~ 11,7
482	1,4 ~ 1,54	8,25 ~ 10,5	8,1 ~ 11,7
530	1,37 ~ 1,56	8,25 ~ 10,7	8,1 ~ 11,7
750	1,32 ~ 1,58	8,2 ~ 11	8,1 ~ 11,7
1.061	1,28 ~ 1,6	8,2 ~ 11,2	8,1 ~ 11,7
3.183	0,95 ~ 1,85	8,2 ~ 11,3	8,1 ~ 11,7
7.957	0,64 ~ 2,34	8,15 ~ 11,53	8,1 ~ 11,7
10.610	0,44 ~ 2,6	8,1 ~ 11,58	8,1 ~ 11,7

Pada pengukuran kedua, dilakukan pada PLL CD4046 dengan LPF orde 2 yaitu seperti Gambar 2 namun tapis diganti seperti Gambar 5. Parameter lain selain LPF adalah sama seperti pada pengujian pertama. Hasil pengukuran ditunjukkan Tabel 2.

Tabel 2. Hasil pengukuran karakteristik PLL dengan LPF orde 2

f_p (Hz)	V_{ripple} (V)	f_c (kHz)	f_L (kHz)
106	1,34 ~ 1,36	9,3 ~ 10,4	8,1 ~ 11,8
212	1,32 ~ 1,4	9 ~ 10,6	8,1 ~ 11,8
482	1,33 ~ 1,45	8,7 ~ 11	8,1 ~ 11,8
530	1,37 ~ 1,5	8,6 ~ 11	8,1 ~ 11,8
750	1,33 ~ 1,5	8,4 ~ 11,3	8,1 ~ 11,8
1.061	1,34 ~ 1,55	8,1 ~ 11,6	8,1 ~ 11,8
3.183	1,15 ~ 1,75	8,1 ~ 11,6	8,1 ~ 11,8
7.957	0,6 ~ 2,2	8,1 ~ 11,7	8,1 ~ 11,8
10.610	0,4 ~ 2,4	8,1 ~ 11,8	8,1 ~ 11,8

Tegangan riak (V_{ripple}) di atas adalah rentang tegangan keluaran *LPF* yang masuk ke *VCO*. Nilai tegangan riak makin besar untuk frekuensi penggal yang makin besar (baik untuk *LPF* orde satu maupun orde dua), hal ini dikarenakan makin banyak komponen frekuensi tinggi yang diloloskan. Makin besar tegangan riak, maka makin besar pula nilai *capture range*, sedangkan nilai *lock range* relatif tetap.

Nilai *capture range* bisa didekati dengan Persamaan 6, dimana f_c dalam persamaan tersebut adalah rentang (maksimum dikurangi minimum pada tiap baris) nilai f_c pada Tabel 1 dan 2.

$$2f_c = \sqrt{2K_o f_p V_{DD}} \quad (6)$$

Dengan menggunakan rumus tersebut, nilai hasil perhitungan dan pengukuran cukup mendekati (ralat di bawah 10%), jika $f_c/f_r \gg 1$. Nilai pengukuran *capture range* dengan *LPF* orde dua lebih mendekati perhitungan, dibandingkan dengan *LPF* orde satu, hal ini dikarenakan tegangan riaknya yang lebih kecil.

5. Kesimpulan

1. Semakin besar nilai frekuensi penggal pada tapis lolos bawah, maka semakin besar pula nilai *capture range* pada sistem *PLL* berbasis CD4046.
2. Dengan frekuensi penggal yang sama, nilai *capture range* tapis orde satu cenderung lebih besar dibandingkan tapis orde dua seperti yang digunakan di makalah ini, namun perbedaannya tidak signifikan.

6. Daftar Pustaka

- [1] D.K. Morgan, *CD4046B Phase-Locked Loop: A Versatile BuildingBlock for Micropower Digital and Analog Applications*, Application Report, Texas Instrument, February 2003.
- [2] G-C. Hsieh, J.C. Hung, "Phase Locked Loop Techniques – A Survey," *IEEE Transaction on Industrial Electronics*, vol 43, no 6, December 1996.
- [3] D.R. Sulaiman, "Design and Analysis of a Second Order Phase Locked Loops (PLLs)," *Proceedings of the 5th WSEAS International Conference on Telecommunications and Informatics*, Istanbul, Turkey, May 27-29, 2006 (pp. 377-382)
- [4] W. Li, J. Meiners, "Introduction to Phase-Locked Loop System Modeling," *Analog Applications Journal*, TI Incorporated, May 2000.
- [5] D. Maksimovic, *CMOS 4046 Phase Locked Loop* [Online], <http://ecee.colorado.edu/~ecen4618/lab4.pdf>, diakses Desember 2015.

